

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106946

(43)Date of publication of application : 21.04.1995

---

(51)Int.Cl. H03K 19/0185  
H03K 5/02  
H03K 17/16

---

(21)Application number : 05-242955 (71)Applicant : SONY CORP  
(22)Date of filing : 29.09.1993 (72)Inventor : SONEDA MITSUO

---

## (54) LEVEL SHIFTER

### (57)Abstract:

PURPOSE: To eliminate the through current in a level shift mode and to reduce the power consumption for a level shifter by connecting a transistor TR to the 1st and 2nd TRs constructing a latch circuit for an input binary signal in order to prevent the current flow in a signal change mode.

CONSTITUTION: The TR P1P1'N1 and N1' construct a latch circuit which latches the input signal level. The TR P2 and P2' are connected to the TR P1 and P1' respectively to prevent the flow of a large through current that is caused in a level shift mode. Therefore a large current never flows even when the input logical level changes and the ON/OFF states of the TR P1 and P1' change. Thus the power consumption of a circuit is reduced. Furthermore the TR P3 and P3' are connected in parallel to the series connection of TR P1 and P2 and the series connection of TR P1' and P2' respectively. Thus the TR P3 and P3' are turned on in a level change mode. As a result the potentials can be changed in a short time at the connection points (a) and (b).

---

## CLAIMS

---

### [Claim(s)]

[Claim 1]The 1st P type transistor and the 1st N type transistor by which the series connection was carried out to a power supply between groundsThe 2nd P type transistor and the 2nd N type transistor by which the series connection was carried out to said power supply between groundsA path cord which connects a node (a) of

said 1st P type transistor and said 1st N type transistor to a gate of said 2nd P type transistor and a gate of said 2nd N type transistor. A path cord which connects a node (b) of said 2nd P type transistor and said 2nd N type transistor to a gate of said 1st P type transistor and a gate of said 1st N type transistor. The 3rd transistor by which it was connected between said node (a) and a ground and the gate was connected to an input terminal. In a level shifter which it is connected between said node (b) and a ground and the gate is provided with the 4th transistor connected to an inverted output of an input and took out an output signal from said node (b). While connecting to said 1st and 2nd P type transistor the 5th and 6th transistors that prevent big penetration current at the time of a level variation to series respectively. A series connection of this 1st P type transistor and the 5th transistor. And a level shifter which connects the 7th and 8th small transistors of drive capability to a series connection of this 2nd P type transistor and the 6th transistor in parallel respectively and is characterized by things.

[Claim 2] A level shifter giving resistance to said 7th and 8th transistors in the level shifter according to claim 1 respectively.

[Claim 3] A level shifter losing said 7th and 8th transistors in the level shifter according to claim 1.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the level shifter (logical level conversion circuit) used when connecting LSI (large scale integration circuit) of a different logical level.

[0002]

[Description of the Prior Art] In recent years low-electric-power-ization of LSI is progressing quickly and as it was called 5V (volt) to 3.3V→2.5V→1.5V LSI with low power supply voltage is developed.

[0003] The demand over the level shifter for connecting LSI of a different logical level in such a situation is increasing increasingly.

[0004] For example to use the logical level of a high level of 12 – 18V<sub>pp</sub> like a flash memory in order to change and obtain this from the logical level of 1.5V–3.3V big conversion of a level difference is required.

[0005] The circuit as conventionally shown in drawing 5 as this kind of a level shifter is used. 2 level signals which change between 0 and V<sub>CC</sub> (for example 3V) of V<sub>CC</sub> electrical power system input into the input terminal 501 of the figure and the output changed into 2 level signals which change between 0 and V<sub>pp</sub> (for example 18V) of V<sub>pp</sub> electrical power system appears in the output 502.

[0006]It is for 503 being an inverter reversing an input signal and giving the inversion signal of an input to the gate of the transistor N2.

[0007]The transistor and the transistor N2 which constitute the latch circuitry where the transistor P1P1'N1 and N1' incorporate an input signal level and N2' are the transistors for a drive.

[0008]As for the transistor P1 one end (source or drain) is connected to bias-power-supply  $V_{pp}$  the other end is connected to one end of the transistor N1 and the other end of the transistor N1 is grounded as shown in the figure. Similarly between power supply  $V_{pp}$  and a ground of transistor P1' and N1' it is connected in series those nodes 3 and transistors P1 and the gate of N1 are connected and the node 2 of the transistors P1 and N1 is connected with the gate of transistor P1' and N1'.

[0009]Operation of the circuit of drawing 5 is explained with reference to the wave form chart of drawing 6. Supposing an input signal is  $V_{cc}$  mostly now  $V_{cc}$  is impressed to the gate of transistor N2' and since one [ the transistor ] the potential of the point 3 serves as zero and At this time. Since the potential of the point 3 is impressed to the gate of the transistors P1 and N1 and the potential of the point 2 serves as about  $V_{pp}$ . [ both transistors ]

[0010]In the time  $t_1$  if an input signal changes to 0 transistor N2' will be come by off and the transistor N2 will be turned on from this state but the transistors P1 and N1 are still in an ON state.

[0011]Since the potential of the point 2 is compulsorily reduced by zero by the transistor N2 having been turned on the current which flows into the transistors P1 and N1 decreases.

[0012]It replaces with it since the potential of the point 2 is impressed to the gate of transistor P1' and N1' the transistor begins to flow and the potential of the point 3 rises.

[0013]In the time  $t_2$  the potential of the point 2 becomes zero and the transistors P1 and N1 are come by off. On the other hand transistor P1' and N1' are turned on and the potential of the point 3 serves as  $V_{pp}$ .

[0014]If an input signal becomes  $V_{cc}$  at the time  $t_3$  transistor N2' tends to become one again and tends to reduce the potential of the point 3 to zero compulsorily. By this the current which flows into transistor P1' and N1' decreases and the potential of the point 3 descends.

[0015]It replaces with it the current which flows into the transistors P1 and N1 increases and the potential of the point 2 rises. In the time  $t_4$  transistor P1' and N1' become completely off and the potential of the point 3 is set to 0. On the other hand the transistors P1 and N1 serve as one thoroughly and the potential of the point 2 becomes  $V_{pp}$ .

[0016]The operation same about time  $t_5$  or later as having mentioned above about  $t_1$ – $t_4$  is repeated. Therefore when an input changes from 0 to  $V_{cc}$  the output which the potential of the point 2 changes to  $V_{pp}$  from 0 and turns on and off the transistors Q1

and Q2 and changes to the output 502 between 0 and  $V_{pp}$  is obtained.

[0017]

[Problem(s) to be Solved by the Invention] since the transistor N2 and N2' are the large transistors of drive capability in operation of the circuit mentioned above with reference to drawing 5 in order the node capacity is large and to secure the speed of charge -- the channel width of the transistor P1 and P1' -- a certain grade -- it must enlarge.

[0018] For example considering the time of an input signal changing from  $V_{cc}$  to 0 the potential of the point 1 changes from 0 to  $V_{cc}$  and the transistor N2 flows (one) and reduces the potential of the point 2. Since the potential (near zero) from the point 3 is impressed to the gate of P1 at this time and big penetration current flows at the passage of a power supply  $V_{pp}$  → transistor P1 → transistor N2 → ground. [ P1 ]

[0019] The time which potential descent of the point 2 takes for the current of P1 becomes long. This fall time is expressed as during the time t1 and t2 of drawing 6 and Between this fall time Besides the current which the circuit of drawing 5 has in a transient (transient) state and flows through the above-mentioned transistor P1 and the transistor N2 Since the current which flows through the transistor P1 and the transistor N1 and the current which flows through transistor P1' and N1' existed and big penetration current flowed there was a problem which says that power consumption increases.

[0020] In view of an above-mentioned point this invention abolishes the penetration current at the time of a level shift and an object of this invention is to provide the level shifter of low power consumption.

[0021]

[Means for Solving the Problem] 1st P type transistor P1' and 1st N type transistor N1' by which the series connection of this invention was carried out to power supply  $V_{pp}$  between grounds The 2nd P type transistor P1 and the 2nd N type transistor N1 by which the series connection was carried out to said power supply between grounds A path cord which connects a node (a) of said 1st P type transistor P1' and said 1st N type transistor N1' to a gate of said 2nd P type transistor P1 and a gate of said 2nd N type transistor N1 A path cord which connects a node (b) of said 2nd P type transistor P1 and said 2nd N type transistor N1 to a gate of said 1st P type transistor P1' and a gate of said 1st N type transistor N1' 3rd transistor N2' by which it was connected between said node (a) and a ground and the gate was connected to the input terminal 101301401 In a level shifter which it is connected between said node (b) and a ground and the gate is provided with the 4th transistor N2 connected to an output of an inverting circuit of an input and took out an output signal from said node (b) to said 1st and 2nd P type transistor P1' and P1 respectively to series. While connecting the 5th and 6th transistor P2' that prevents big penetration current at the time of a level variation and P2 A series connection of this 1st P type transistor P1' and 5th transistor P2' And a series connection of this 2nd P type transistor P1 and

the 6th transistor P2 is provided with the 7th and 8th small transistor P3' of drive capability and a level shifter which connects P3 in parallel and is characterized by things respectively.

[0022] As for a level shifter of this invention it is preferred to connect resistance R2' and R2 to series said 7th and 8th transistor P3' and P3 respectively or to give resistance to P3' and P3. In a level shifter of this invention it is preferred whether said 7th and 8th transistors are made into a series connection of PMOS and that it loses.

[0023]

[Function] The level shifter of this invention respectively to 1st and 2nd P type transistor P1' and P1 to series. Since the 5th and 6th transistor P2' and P2 are connected in order to prevent the big penetration current which flows into those transistors at the time of a level variation When an input logic level changes and transistor P1' and the on-off state of P1 change a high current does not flow and the circuit of low power consumption can be realized.

[0024] Transistor P3' is connected in parallel with the series connection of transistor P1' and P2'. The transistor P3 is connected in parallel with the series connection of the transistors P1 and P2 and since he is trying the one [ this transistor ] at the time of a level variation the above-mentioned node (a) or the potential of (b) can be changed from  $V_{pp}$  to 0 for a short time.

[0025] The series connection of transistor P1' and P2' and the series connection of the transistors P1 and P2 can carry out the charge up of the above-mentioned node (a) or the potential of (b) from 0 to  $V_{pp}$  in a short time when both (for example P1' and P2') are turned on since current drive capability is large.

[0026]

[Example] One example of this invention level shifter is explained with reference to drawing 1 and drawing 2.

[0027] In the circuit of the figure P1 N1 N2 P1' N1' N2' Q1 and Q2 are the transistor mentioned above with reference to drawing 5 and the same transistor.

[0028] In the circuit of drawing 1 the newly added circuit part is delay-element D' connected to the transistor P3 P3' and the delay element D connected with the transistor P2 at the gate transistor P2' and its gate. The circuit of drawing 1 is made with an integrated circuit.

[0029] In that case the resistance R<sub>an</sub> inverter the P-channel MOS transistor etc. can be used as a delay element. W/L (however W channel width and L channel length) of the transistor P3 and P3' is small chosen here compared with W/L of other transistors P1 P2 P1' and P2'.

[0030] Therefore since gate capacitance is small the transistor P3 and P3' have the work which is saturated for a short time and drops voltage to 0 from  $V_{pp}$  for a short time.

[0031] Next operation of the circuit of drawing 1 is explained with reference to drawing 2. In the time t1 if an input changes from  $V_{cc}$  to 0 transistor N2' will be come by off and

since the transistor N2 changes the potential of the point 1 to  $V_{CC}$  from 0 it serves as one.

[0032] When the transistor N2 was turned on it is going to lower the potential of the point 2 to 0 from  $V_{pp}$ . One [ the gate voltage of the transistor P1 is 0 and / the transistor ] since the potential of the point 4 is still in 0 at this time. Since the gate potential of the transistor P2 has still stopped with  $V_{pp}$  the transistor is off.

[0033] Therefore current does not flow into the series circuit of the large transistors P1 and P2 of current drive capability. At this time since the current supply source from power supply  $V_{pp}$  to the point 2 is only a thing through the small transistor P3 of drive capability it can drop the point 2 from  $V_{pp}$  to 0 for a short time.

[0034] Since one [ when the potential of the point 2 is set to 0 P1' is turned on and the gate potential of P2' is still in 0 by work of a delay element at this time and / transistor P2' ] still The charge up of the potential of the point 4 is carried out to  $V_{pp}$  from 0 for a short time by the series circuit of large transistor P1' of current drive capability and P2'.

[0035] After the charge up of the point 4 is carried out and potential becomes  $V_{pp}$  the point 5 also becomes  $V_{pp}$  via delay-element D' Since the gate voltage of transistor P2' serves as  $V_{pp}$  the current which transistor P2' becomes off and flows into the series circuit of transistor P2' and P1' becomes zero.

[0036] Since 0 potential of the point 2 is impressed to the gate and transistor P3' is one at this time the potential of the point 4 is maintained at  $V_{pp}$ . Here transistor P3' is serving to stabilize latch operation and is a transistor with a small W/L value of the level which bars the leak current of each MOS transistor noise a soft error etc.

[0037] Next if an input changes from 0 to  $V_{CC}$  in the time  $t_3$  transistor N2' tends to become one and tends to reduce the potential of the point 4 to zero compulsorily. Since the potential of the point 1 is set to 0 at this time the transistor N2 is come by off.

[0038] However since the potential of the point 2 is still 0 therefore the gate voltage of transistor P1' is 0 but since the gate potential of transistor P2' has still become with  $V_{pp}$  the transistor is off. [ the transistor ]

[0039] Therefore current does not flow into the series circuit of large transistor P1' of current drive capability and P2'. Since current flows into the point 4 from power supply  $V_{pp}$  since one [ it replaces with it and / transistor P3' ] but transistor P3' has small drive capability the potential of the point 4 descends from  $V_{pp}$  to 0 for a short time.

[0040] Since one [ when the potential of the point 4 is set to 0 the transistor P1 is turned on and the gate potential of the transistor P2 still has it in 0 by work of a delay element at this time and / the transistor P2 ] still The charge up of the potential of the point 2 is carried out to  $V_{pp}$  from 0 for a short time by the series circuit of the large transistors P1 and P2 of current drive capability.

[0041] After the charge up of the point 2 is carried out and potential becomes  $V_{pp}$  since the point 3 also becomes  $V_{pp}$  via the delay element D and the gate voltage

of the transistor P2 serves as  $V_{pp}$  it becomes off [ the transistor P2 ] and the current which flows into the series circuit of the transistors P2 and P1 is set to 0. At this time since the zero potential of the point 4 is impressed to that gate the transistor P3 serves as one and the potential of the point 2 is maintained at  $V_{pp}$ .

[0042] As opposed to 0 inputted into the input 101 by the above operation and the binary signal which changes between  $V_{pp}$ . Since the binary signal which changes between 0 and  $V_{pp}$  appears in the point 2 and this signal is impressed to the gate of the transistors Q1 and Q2 the binary signal which changes between 0 and  $V_{pp}$  according to an input signal outputs to the output terminal 102.

[0043] In [ if the conventional circuit shown in the circuit and drawing 5 of one example of this invention shown in drawing 1 is compared ] the conventional circuit (drawing 5) Since potential of the point 2 was set to 0 from  $V_{pp}$  while extraction current with the transistor N2 and the inrush current through PMOS transistor P1 competed when lowering the potential of the point 2 to 0 from  $V_{pp}$  big penetration current flows. And in order to take time for this current to flow fall time (fall time) had become a problem but, since according to the circuit (drawing 1) of this invention it is only that current does not flow into the series circuit of the transistors P1 and P2 but current flows into the small transistor P3 of drive capability when lowering the potential of the point 2 to 0 from  $V_{pp}$  -- low power consumption -- and a high-speed level shifter is realizable.

[0044] In the circuit of drawing 1 the delay element D and D' can be replaced by the resistance R1 and R1'. The transistor P3 and P3' can consist of the resistance R2 the transistor P3 and resistance R2' and transistor P3'. Resistance can be given to the transistor P3 and P3' in that case.

[0045] Thus the circuit of the constituted level shifter is shown in drawing 3. Since the circuit operation of this level shifter is theoretically [ as operation of the circuit of drawing 1 ] the same detailed explanation is omitted.

[0046] As compared with the circuit of drawing 1 the position of the transistors P1 and P2 and the position of transistor P1' and P2' were changed in the circuit of drawing 3. Thus since it does not interfere even if it carries out position exchange of P1 P1' and P2 and P2' respectively when forming with an integrated circuit according to a circuit pattern it can be made convenient arrangement.

[0047] Since the level which can press down noise and leakage current may be sufficient as the current drive capability of the transistor P3 and P3' when forming a device with the process of TFT' (thin film transistor) it can be formed by TFT of PMOS.

[0048] Next with reference to drawing 4 the example of further others of this invention is described. In the figure the circuit of the portions of P1 P2 N1 N2 P1' P2' N1' N2' and the inverter 403 is shown in drawing 1 and since it is the circuit same with having mentioned above detailed explanation is omitted here.

[0049] The point that the circuit of drawing 4 differs from the circuit of drawing 1 The



potential of the point 2 is taken [ that there are not the transistor P3 and P3'] out from the output terminal 402 through the series circuit of inverter  $I_1$ ,  $I_2$  and  $I_3$ . And it is that replace with the delay element D and D' (drawing 1) and the output of inverter  $I_2$  and the output of  $I_3$  are used.

[0050] Thus in the level shifter changed into 3V logic for example from 1V (bolt) logic since the logic of 3V system can generally also be used the output of next step logic can be used instead of the delay element D and D'.

[0051]

[Effect of the Invention] By above-mentioned compositions since the level shifter of this invention can abolish the big penetration current at the time of a level shift it is useful for low power consumption.

[0052] Since the charge up especially of the program voltages of a flash memory is carried out within a chip and they are making  $V_{pp}$  (about 12–20V) the effect is size when the efficiency of a pump is taken into consideration.

[0053] Since the status switching (latch) of a circuit is latched only by charge or discharge current of a transistor it can carry out high-speed operation.

[0054] since the drive from  $V_{CC1}$  system of an input side does not call at a ratio circuit if it is  $V_{CC} > V_{th}$  (bias-power-supply voltage  $V_{CC}$  of a  $V_{CC}$  system -- threshold  $V_{th}$  -- a large) the circuit will operate. Therefore the level shift from the logical level in which CMOS operates is possible.

[0055] The effect of the level shifter of the above thing to this invention is size at the future system-on-chip age when the circuit block of a multi power supply is intermingled.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram of one example of the level shifter of this invention.

[Drawing 2] It is a wave form chart of the circuit of drawing 1 of operation.

[Drawing 3] It is a circuit diagram of other examples of this invention level shifter.

[Drawing 4] It is a circuit diagram of the example of further others of this invention level shifter.

[Drawing 5] It is a circuit diagram of the conventional level shifter.

[Drawing 6] It is a wave form chart of the circuit of drawing 5 of operation.

[Description of Notations]

101 Input terminal

102 Output terminal

104 Bias-power-supply terminal

103 Inverter

N2 and N2' Transistor for a drive



P1–P3P1' – a P3' P type transistor

N1an N1' N type transistor

Q1Q2 output stage transistor

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-106946

(43)公開日 平成7年(1995)4月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0185			
	5/02	L 7402-5 J		
	17/16	L 9184-5 J		
		8839-5 J	H 0 3 K 19/ 00	1 0 1 E

審査請求 未請求 請求項の数 3 OL (全 6 頁)

(21)出願番号 特願平5-242955

(22)出願日 平成5年(1993)9月29日

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川 6 丁目 7 番 35 号

(72)発明者 曾根田 光生  
東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

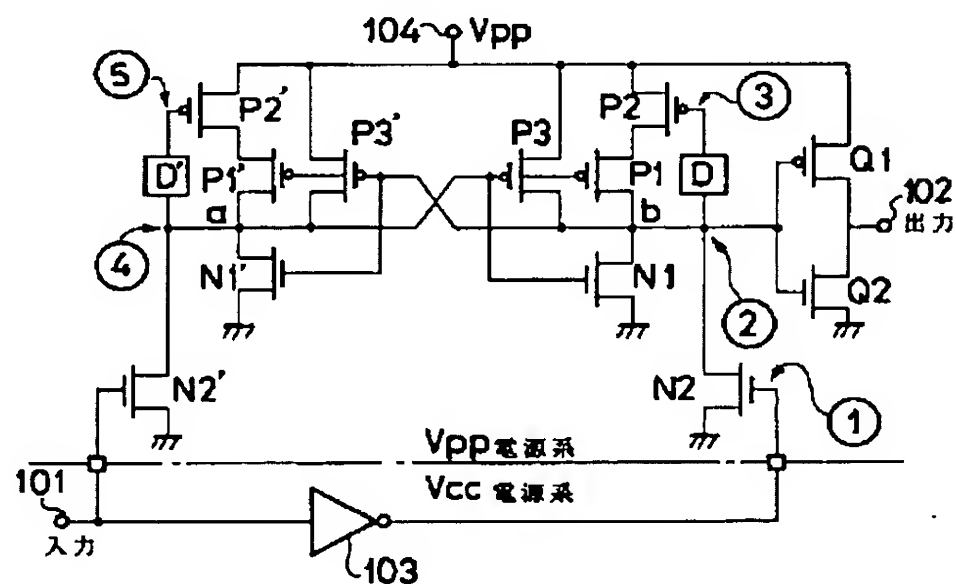
(74)代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 レベルシフタ

(57) 【要約】

【目的】 論理レベルを小から大へ変換するレベルシフタにおいて、データ信号変化時の大きな貫通電流を防止した回路を提供すること。

【構成】 入力２値信号をラッチするラッチ回路を構成するトランジスタP 1、P 1' に信号変化時に電流を阻止するトランジスタP 2、P 2' をそれぞれ直列に接続する。また、P 1とP 2、及びP 1' とP 2' に並列に電流容量の小さいトランジスタP 3、P 3' を接続してレベル変化に急速に応答するようにする。なお、P 3、P 3' はなくてもよい。



## 【特許請求の範囲】

【請求項 1】 電源とアース間に直列接続された第 1 P 型トランジスタ及び第 1 N 型トランジスタと、前記電源とアース間に直列接続された第 2 P 型トランジスタ及び第 2 N 型トランジスタと、前記第 1 P 型トランジスタと前記第 1 N 型トランジスタの接続点 (a) を前記第 2 P 型トランジスタのゲート及び前記第 2 N 型トランジスタのゲートに接続する接続線と、前記第 2 P 型トランジスタと前記第 2 N 型トランジスタの接続点 (b) を前記第 1 P 型トランジスタのゲート及び前記第 1 N 型トランジスタのゲートに接続する接続線と、前記接続点 (a) とアース間に接続され、そのゲートが入力端子に接続された第 3 トランジスタと、前記接続点 (b) とアース間に接続され、そのゲートが入力の反転出力に接続された第 4 トランジスタと、を備え、前記接続点 (b) から出力信号を取り出すようにしたレベルシフタにおいて、前記第 1 及び第 2 P 型トランジスタに夫々直列に、レベル変化時の大きな貫通電流を阻止する第 5 及び第 6 のトランジスタを接続するとともに、該第 1 P 型トランジスタと第 5 トランジスタの直列接続、及び該第 2 P 型トランジスタと第 6 トランジスタの直列接続に夫々ドライブ能力の小さい第 7 及び第 8 のトランジスタを並列に接続して成ることを特徴とするレベルシフタ。

【請求項 2】 請求項 1 に記載のレベルシフタにおいて、前記第 7 及び第 8 のトランジスタに夫々抵抗を持たせたことを特徴とするレベルシフタ。

【請求項 3】 請求項 1 に記載のレベルシフタにおいて、前記第 7 及び第 8 トランジスタを無くしたことを特徴とするレベルシフタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、異なった論理レベルの L S I (大規模集積回路) を接続する際に使われるレベルシフタ (論理レベル変換回路) に関する。

## 【0002】

【従来の技術】 近年、L S I の低電力化が急速に進んでおり、5 V (ボルト) から、3.3 V → 2.5 V → 1.5 V と云ったように電源電圧の低い L S I が開発されている。

【0003】 こうした状況の中で異なった論理レベルの L S I を接続するためのレベルシフタに対する需要がますます高まっている。

【0004】 例えば、フラッシュメモリのように 1.2 ~ 1.8 V<sub>pp</sub> の高レベルの論理レベルを使う場合には、これを 1.5 V ~ 3.3 V の論理レベルから変換して得るためにはレベル差の大きな変換が必要である。

【0005】 従来この種のレベルシフタとして図 5 に示

すような回路が使われている。同図の入力端子 501 には V<sub>CC</sub> 電源系の 0 と V<sub>CC</sub> (例えば 3 V) の間で変わる 2 レベル信号が入力し、出力 502 には V<sub>pp</sub> 電源系の 0 と V<sub>pp</sub> (例えば 1.8 V) の間で変わる 2 レベル信号に変換された出力が出る。

【0006】 503 はインバータで、入力信号を反転して、トランジスタ N2 のゲートに入力の反転信号を与えるためのものである。

【0007】 トランジスタ P1, P1', N1, N1' は入力信号レベルを取り込むラッチ回路を構成するトランジスタ、トランジスタ N2, N2' はドライブ用のトランジスタである。

【0008】 同図に示すとおり、トランジスタ P1 は一端 (ソース又はドレイン) がバイアス電源 V<sub>pp</sub> に接続され、他端がトランジスタ N1 の一端に接続されており、トランジスタ N1 の他端は接地されている。同様にしてトランジスタ P1' と N1' も電源 V<sub>pp</sub> とアースの間に直列に接続されていてそれらの接続点 3 とトランジスタ P1, N1 のゲートが接続され、トランジスタ P1 と N1 の接続点 2 がトランジスタ P1', N1' のゲートと接続されている。

【0009】 図 6 の波形図を参照して図 5 の回路の動作を説明する。今、入力信号が V<sub>CC</sub> であるとする、トランジスタ N2' のゲートには V<sub>CC</sub> が印加され、同トランジスタはオンしているので点 3 の電位はほぼゼロとなっており、このとき、トランジスタ P1 と N1 のゲートには点 3 の電位が印加されているので両トランジスタはオンしており、点 2 の電位はほぼ V<sub>pp</sub> となっている。

【0010】 この状態から、時刻 t1 において、入力信号が 0 になると、トランジスタ N2' はオフになり、トランジスタ N2 がオンになるが、トランジスタ P1 と N1 はまだオン状態にある。

【0011】 トランジスタ N2 がオンになったことで、点 2 の電位は強制的にゼロに引き下げられるので、トランジスタ P1 と N1 に流れる電流は減少する。

【0012】 それに代えて、トランジスタ P1' と N1' のゲートには点 2 の電位が印加されているので同トランジスタは導通し始め、点 3 の電位は上昇する。

【0013】 時刻 t2 において、点 2 の電位がゼロになり、トランジスタ P1 と N1 はオフになる。他方、トランジスタ P1' と N1' はオンになり点 3 の電位は V<sub>pp</sub> となる。

【0014】 さらに、時刻 t3 で入力信号が V<sub>CC</sub> になると、トランジスタ N2' が再びオンとなり点 3 の電位を強制的にゼロに引き下げようとする。これによってトランジスタ P1' と N1' に流れる電流は減少し、点 3 の電位は下降する。

【0015】 それに代えて、トランジスタ P1 と N1 に流れる電流が増加し、点 2 の電位は上昇する。時刻 t4 において、トランジスタ P1' と N1' が完全にオフと

なり、点3の電位は0になる。他方、トランジスタP1とN1は完全にオンとなり点2の電位は $V_{pp}$ になる。

【0016】時刻 $t_5$ 以後についても、 $t_1 \sim t_4$ について前述したのと同じ動作が繰り返される。従って、入力 $I$ が0から $V_{CC}$ に変わるとき、点2の電位は0から $V_{pp}$ に変わり、トランジスタQ1とQ2をオン・オフして出力502に0と $V_{pp}$ の間で変わる出力が得られる。

【0017】

【発明が解決しようとする課題】図5を参照して前述した回路の動作において、トランジスタN2とN2'はドライブ能力の大きいトランジスタであるから、そのノード容量は大きく、充電のスピードを確保する為にトランジスタP1とP1'のチャンネル巾も或る程度大きくしなければならない。

【0018】例えば、入力信号が $V_{CC}$ から0に変化する時について考えてみると、点1の電位は0から $V_{CC}$ に変わり、トランジスタN2は導通（オン）し、点2の電位を引き下げる。このとき、P1のゲートには点3からの電位（ゼロ近傍）が印加されているので、P1はオンしており、電源 $V_{pp} \rightarrow$ トランジスタP1 $\rightarrow$ トランジスタN2 $\rightarrow$ アースの通路で大きな貫通電流が流れる。

【0019】また、P1の電流のため点2の電位下降に要する時間が長くなる。この下降時間は図6の時刻 $t_1$ と $t_2$ の間として表されており、この下降時間の間、図5の回路はトランジェント（過渡）状態にあり、前述のトランジスタP1とトランジスタN2を通して流れる電流の他に、トランジスタP1とトランジスタN1を通して流れる電流、トランジスタP1'とN1'を通して流れる電流が存在し、大きな貫通電流が流れるので、消費電力が増大すると云う問題があった。

【0020】本発明は、上述の点に鑑み、レベルシフト時の貫通電流を無くし、低消費電力のレベルシフタを提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は、電源 $V_{pp}$ とアース間に直列接続された第1 P型トランジスタP1'及び第1 N型トランジスタN1'と、前記電源とアース間に直列接続された第2 P型トランジスタP1及び第2 N型トランジスタN1と、前記第1 P型トランジスタP1'と前記第1 N型トランジスタN1'の接続点(a)を前記第2 P型トランジスタP1のゲート及び前記第2 N型トランジスタN1のゲートに接続する接続線と、前記第2 P型トランジスタP1と前記第2 N型トランジスタN1の接続点(b)を前記第1 P型トランジスタP1'のゲート及び前記第1 N型トランジスタN1'のゲートに接続する接続線と、前記接続点(a)とアース間に接続され、そのゲートが入力端子101、301、401に接続された第3トランジスタN2'と、前記接続点(b)とアース間に接続され、そのゲートが入力の反転回路の出力に接続された第4トランジスタN2と、を

備え、前記接続点(b)から出力信号を取り出すようにしたレベルシフタにおいて、前記第1及び第2 P型トランジスタP1'、P1に夫々直列に、レベル変化時の大きな貫通電流を阻止する第5及び第6のトランジスタP2'、P2を接続するとともに、該第1 P型トランジスタP1'と第5トランジスタP2'の直列接続、及び該第2 P型トランジスタP1と第6トランジスタP2の直列接続に夫々ドライブ能力の小さい第7及び第8のトランジスタP3'、P3を並列に接続して成ることを特徴とするレベルシフタを提供する。

【0022】本発明のレベルシフタは、前記第7及び第8のトランジスタP3'、P3に夫々直列に抵抗R2'、R2を接続するか、P3'、P3に抵抗を持たせるようにするのが好ましい。また、本発明のレベルシフタにおいて、前記第7及び第8トランジスタをPMOSの直列接続にするか無くすることが好ましい。

【0023】

【作用】本発明のレベルシフタは、第1及び第2 P型トランジスタP1'、P1に夫々直列に、レベル変化時にそれらのトランジスタに流れる大きな貫通電流を阻止するために第5及び第6のトランジスタP2'、P2が接続されているので、入力論理レベルが変わってトランジスタP1'、P1のオン・オフ状態が変わるとき大電流が流れることがなく低消費電力の回路が実現できる。

【0024】また、トランジスタP1'とP2'の直列接続に並列にトランジスタP3'が接続され、トランジスタP1とP2の直列接続に並列にトランジスタP3が接続されていて、レベル変化時にこのトランジスタがオンするようにしているので前述の接続点(a)又は(b)の電位を短時間で $V_{pp}$ から0に変化させることができる。

【0025】トランジスタP1'とP2'の直列接続、トランジスタP1とP2の直列接続は電流ドライブ能力が大きいので両者（例えばP1'とP2'）がオンになったときは前述の接続点(a)又は(b)の電位を短時間で0から $V_{pp}$ までチャージアップすることができる。

【0026】

【実施例】本発明レベルシフタの1例について図1、図2を参照して説明する。

【0027】同図の回路において、P1、N1、N2、P1'、N1'、N2'、Q1、Q2は図5を参照して前述したトランジスタと同様のトランジスタである。

【0028】図1の回路において、新たに加わった回路部分は、トランジスタP3とP3'、及びトランジスタP2とそのゲートに接続された遅延要素D、トランジスタP2'とそのゲートに接続された遅延要素D'である。なお、図1の回路は半導体集積回路によって作られる。

【0029】その際遅延要素としては、抵抗R、インバータ、P型MOSトランジスタ等を用いることができ

る。ここでトランジスタP3とP3'のW/L(但し、Wはチャンネル巾、Lはチャンネル長)は他のトランジスタP1、P2、P1'、P2'のW/Lに比べて小さく選んである。

【0030】従って、トランジスタP3、P3'はゲート容量が小さいので短時間で飽和して電圧を短時間でV<sub>pp</sub>から0に下げる働きがある。

【0031】次に、図2を参照して図1の回路の動作を説明する。時刻t<sub>1</sub>において、入力がV<sub>cc</sub>から0に変わるとトランジスタN2'はオフになり、トランジスタN2は点1の電位が0からV<sub>cc</sub>に変わるのでオンとなる。

【0032】トランジスタN2がオンになったことにより点2の電位をV<sub>pp</sub>から0に下げようとする。この時、点4の電位はまだ0にあるから、トランジスタP1のゲート電圧は0であり、同トランジスタはオンすることができる。トランジスタP2のゲート電位はまだV<sub>pp</sub>のままだに留まっているので同トランジスタはオフである。

【0033】従って、電流ドライブ能力の大きいトランジスタP1とP2の直列回路には電流が流れない。この時、電源V<sub>pp</sub>から点2への電流供給はドライブ能力の小さいトランジスタP3を介したもののだけなので点2を短時間でV<sub>pp</sub>から0に降下させることができる。

【0034】点2の電位が0になると、P1'がオンになり、このときP2'のゲート電位は遅延要素の働きによりまだ0にあるのでトランジスタP2'はまだオンしているから、電流ドライブ能力の大きいトランジスタP1'とP2'の直列回路により点4の電位を短時間で0からV<sub>pp</sub>にチャージアップする。

【0035】点4がチャージアップされ、電位がV<sub>pp</sub>になった後、遅延要素D'を介して点5もV<sub>pp</sub>になり、トランジスタP2'のゲート電圧がV<sub>pp</sub>となるのでトランジスタP2'はオフとなりトランジスタP2'とP1'の直列回路に流れる電流はゼロになる。

【0036】このとき、トランジスタP3'は点2の0電位がゲートに印加されているのでオンとなっているから、点4の電位はV<sub>pp</sub>に保たれる。ここで、トランジスタP3'はラッチ動作を安定化させる働きをしており、各MOS型トランジスタの漏洩電流、雑音、ソフトエラー等を妨げるレベルの小さなW/L値を持つトランジスタである。

【0037】次に時刻t<sub>3</sub>において入力が0からV<sub>cc</sub>に変わると、トランジスタN2'がオンとなり点4の電位を強制的にゼロに引き下げようとする。このとき点1の電位は0になるのでトランジスタN2はオフになる。

【0038】しかしながら、点2の電位はまだ0であり、従ってトランジスタP1'のゲート電圧は0であるから、同トランジスタはオンしているが、トランジスタP2'のゲート電位はまだV<sub>pp</sub>のままになっているので同トランジスタはオフである。

【0039】従って電流ドライブ能力の大きいトランジ

スタP1'とP2'の直列回路には電流が流れない。それに代えて、トランジスタP3'がオンしているので、電源V<sub>pp</sub>から点4へ電流が流れるがトランジスタP3'はドライブ能力が小さいので点4の電位は短時間でV<sub>pp</sub>から0に降下する。

【0040】点4の電位が0になると、トランジスタP1がオンになり、このときトランジスタP2のゲート電位は遅延要素の働きによりまだ0にあるのでトランジスタP2はまだオンしているから、電流ドライブ能力の大きいトランジスタP1とP2の直列回路により点2の電位を短時間で0からV<sub>pp</sub>にチャージアップする。

【0041】点2がチャージアップされ、電位がV<sub>pp</sub>になった後、遅延要素Dを介して点3もV<sub>pp</sub>になり、トランジスタP2のゲート電圧がV<sub>pp</sub>となるのでトランジスタP2はオフとなり、トランジスタP2とP1の直列回路に流れる電流は0になる。このとき、トランジスタP3は点4のゼロ電位がそのゲートに印加されているのでオンとなっており、点2の電位はV<sub>pp</sub>に保たれる。

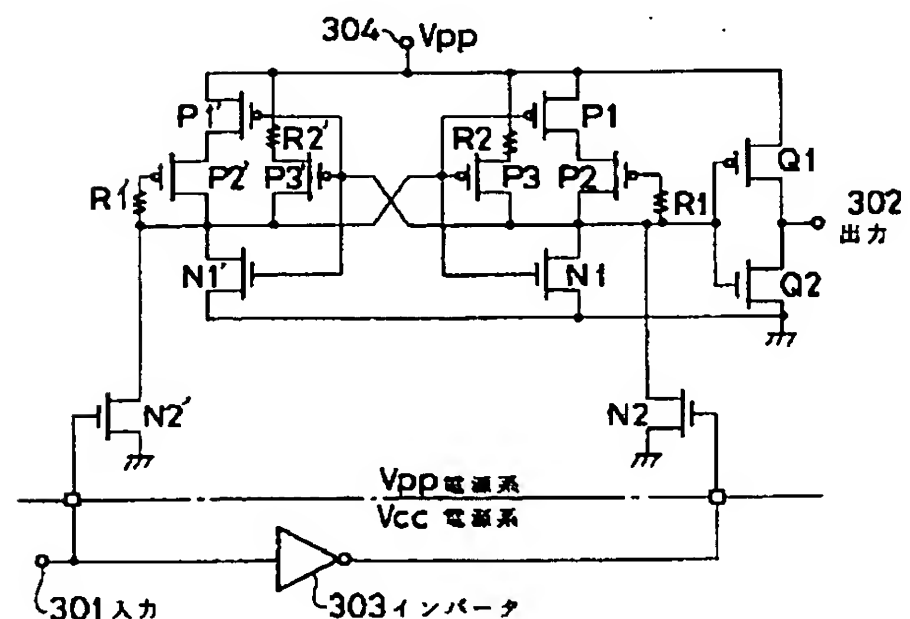
【0042】以上の動作により、入力101に入力される0とV<sub>pp</sub>の間で変化する2値信号に対し、点2には0とV<sub>pp</sub>の間で変化する2値信号が現われ、この信号はトランジスタQ1とQ2のゲートに印加されているので、出力端子102には入力信号に応じて0とV<sub>pp</sub>の間で変化する2値信号が出力する。

【0043】図1に示す本発明の1実施例の回路と図5に示す従来の回路とを比較すると、従来の回路(図5)においては、点2の電位をV<sub>pp</sub>から0に下げるときトランジスタN2による抽出電流とPMOSトランジスタP1を介する注入電流が競合しながら点2の電位をV<sub>pp</sub>から0にしていたため大きな貫通電流が流れること、及びこの電流が流れるのに時間を要するため下降時間(fall time)が問題になっていたが、本発明の回路(図1)によれば、点2の電位をV<sub>pp</sub>から0に下げるときにトランジスタP1とP2の直列回路に電流は流れず、ドライブ能力の小さいトランジスタP3に電流が流れるのみであるから、低消費電力でかつ高速なレベルシフトを実現することができる。

【0044】図1の回路において、遅延要素D及びD'は抵抗R1及びR1'で置換することができる。また、トランジスタP3及びP3'は抵抗R2とトランジスタP3及び抵抗R2'とトランジスタP3'で構成することができる。その際トランジスタP3、P3'に抵抗を持たせるようにすることができる。

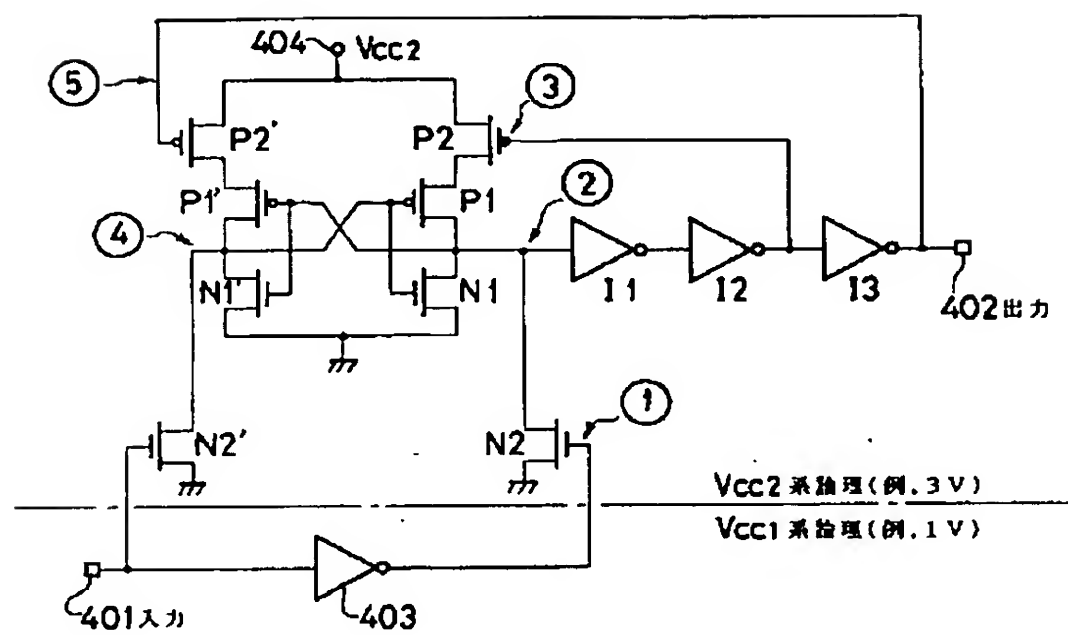
【0045】このようにして構成したレベルシフトの回路を図3に示す。このレベルシフトの回路動作は図1の回路の動作と原理的に同じであるから詳しい説明は省略する。

【0046】図3の回路を図1の回路と比較すると、トランジスタP1とP2の位置及びトランジスタP1'とP2'の位置が入れ替わっている。このようにP1、P

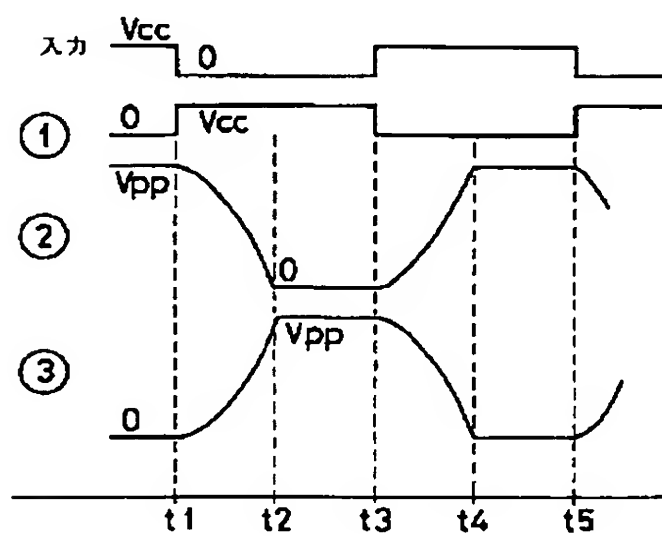




【図4】



【図6】



【図 5】

